

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-223669 ✓

(P2000-223669A)

(43) 公開日 平成12年 8 月 11 日 (2000.8.11)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 27/108
21/8242
27/04
21/822

H 0 1 L 27/10
27/04

6 5 1 5 F 0 3 8
C 5 F 0 8 3

審査請求 有 請求項の数 7 O L (全 8 頁)

(21) 出願番号

特願平11-20549

(22) 出願日

平成11年 1 月 28 日 (1999.1.28)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 小柳 賢一

東京都港区芝五丁目 7 番 1 号 日本電気株
式会社内

(74) 代理人 100064621

弁理士 山川 政樹

Fターム(参考) 5F038 AC02 AC05 AC14 DF05

5F083 AD22 AD42 GA06 JA06 JA40

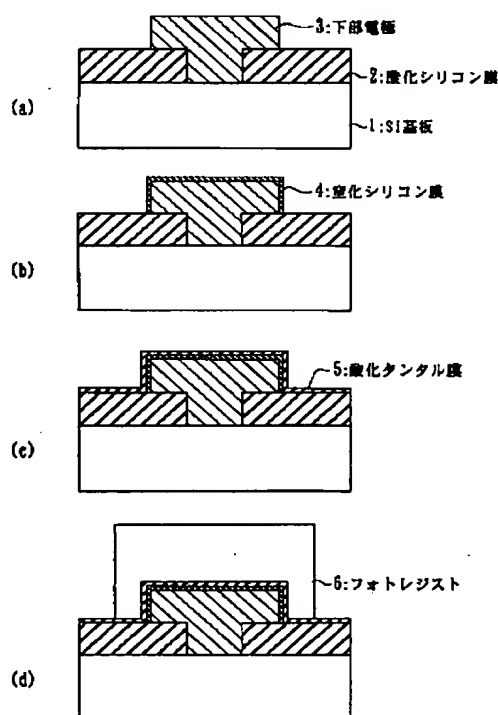
MA06 MA17 PR16 PR21

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 従来よりも剥がれ難くかつリーク電流の生じにくい酸化タンタル膜を形成する。

【解決手段】 半導体基板 (S i 基板 1) 上に複数の下部電極 3 を形成する第 1 の工程と、これら下部電極 3 のそれぞれに個別にアモルファス状態の酸化タンタル膜 5 を形成する第 2 の工程と、この酸化タンタル膜 5 を熱処理によって結晶化させる第 3 の工程と、この結晶化された酸化タンタル膜上に上部電極 1 2 を形成する第 4 の工程とを有する。そして、下部電極 3、酸化タンタル膜 5 および上部電極 1 2 からなる微小容量素子を複数形成する。



【特許請求の範囲】

【請求項 1】 半導体基板上に複数の下部電極を形成する第 1 の工程と、

これら下部電極のそれぞれに個別にアモルファス状態の酸化タンタル膜を形成する第 2 の工程と、

この酸化タンタル膜を熱処理によって結晶化させる第 3 の工程と、

この結晶化された酸化タンタル膜上に上部電極を形成する第 4 の工程とを有し、

前記下部電極、前記酸化タンタル膜および前記上部電極からなる微小容量素子を複数形成することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 において、

前記熱処理を、処理温度が 700～850℃の、酸素を含む雰囲気中で行うことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 において、

前記アモルファス状態の酸化タンタル膜を、ペンタエトキシタンタル ($\text{Ta}(\text{OC}_2\text{H}_5)_5$) および酸素

(O_2) を用いた減圧 CVD 法により形成することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 において、

前記第 2 の工程は、

前記複数の下部電極の全てを覆うようにして、アモルファス状態の酸化タンタル膜を形成してから、フォトリソグラフィ技術およびエッチング技術を用いることにより、前記下部電極のそれぞれに個別にアモルファス状態の酸化タンタル膜を形成する工程であることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 において、

前記微小容量素子は、DRAM に使用されることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 において、

前記下部電極は、スタック型の電極であることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 において、

前記下部電極は、リンのドーパされたポリシリコンからなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に容量絶縁膜に酸化タンタル膜を用いた DRAM (Dynamic Random Access Memory) 等の製造方法に関するものである。

【0002】

【従来の技術】 DRAM は、トランジスタおよび容量部からなる微小メモリ素子を、複数備えた半導体記憶装置である。DRAM の記憶容量の拡大に伴い、メモリ素子のサイズはますます小さくなり、容量部も一層小さくなっている。このような容量部の微細化により、蓄えられ

る電荷の量も小さくなりつつある。しかし、容量部は、記憶装置として機能させるために一定以上の電荷を蓄える必要があり、微細化に伴う容量不足を解消する必要性が生じている。そこで、従来よりこのような問題点を解決すべく、容量絶縁膜に高誘電体材料を用いることが行われている。高誘電体材料としては、いくつかの材料が検討されているが、その中でも特に酸化タンタル膜は有望視され広く研究されている。

【0003】 ここで、従来のタンタル酸化膜の形成方法について図を参照して説明する。一般的に酸化タンタル膜は、有機タンタルを用いた CVD 法によって作られる。

【0004】 図 5、6 は、従来の酸化タンタル膜を用いた容量部の形成方法を示す断面図である。これらの図において (a)～(g) は、製造工程を順次示したものである。まず図 5 (a) に示すように、Si 基板 1 上に、コンタクトホールを有する酸化シリコン膜 2 を形成してから、その上にリンをドーパしたポリシリコン膜を形成する。そして、このポリシリコン膜をエッチングすることにより、スタック型の下部電極 3 を形成する。

【0005】 次いで図 5 (b) に示すように、基板全体を、RTN (ラピッド・サーマル・ナイトライゼーション) 法により、1000℃で 60 秒間の処理を施して下部電極 3 の表面を窒化させる。この処理を行うことで、下部電極 3 の表面には窒化シリコン膜 4 が形成される。このときに形成される窒化シリコン膜 4 の膜厚は、約 2 nm である。

【0006】 次いで図 5 (c) に示すように、LP-CVD (Low Pressure - Chemical Vapor Deposition) 法により、基板の表面に酸化タンタル膜 5 を形成する。この酸化タンタル膜 5 の膜厚は 10 nm である。このときの成膜条件は、成膜温度が 450℃、圧力が 1 Torr である。また、ソースガスの流量は、タンタルソースであるペンタエトキシタンタル ($\text{Ta}(\text{OC}_2\text{H}_5)_5$) が 0.2 ml/分、酸素 (O_2) が 2 SLM である。このときに形成される酸化タンタル膜 5 は、その結晶構造がアモルファス状態にあり、またその膜中には炭素や水の不純物が含まれている。

【0007】 次いで図 5 (d) に示すように、酸化タンタル膜 5 を形成した後、基板を電気炉に入れ、800℃で 10 分間の乾燥酸素中で熱処理を行う。その結果、アモルファス状態であった酸化タンタル膜 5 は、多結晶となつて結晶化した酸化タンタル膜 8 a が形成される。次いで図 6 (e) に示すように、結晶化した酸化タンタル膜 8 a の上に、CVD 法により窒化チタン膜 9 を形成する。

【0008】 次いで図 6 (f) に示すように、窒化チタン膜 9 の上に、CVD 法によりリンをドーパしたポリシリコン膜 10 を形成する。最後に図 6 (g) に示すように、フォトリソグラフィ法およびドライエッチング法

を用いて所望の容量パターンを形成することで、下部電極3、容量絶縁膜11aおよび上部電極12からなる容量部構造が完成する。

【0009】以上の工程で作られた酸化タンタル膜について説明する。図7は、Si基板に形成された酸化タンタル膜に熱処理を加えた様子を示す断面図である。同図(a)に示すように、Si基板31上に、100nmの酸化タンタル膜32を図5、6で示したのと同じ条件で形成した。その後、電気炉内で800℃、10分間の乾燥酸素中で熱処理を行い、熱処理後のウェハの断面をSEM (Scanning Electron Microscope) 観察したところ、同図(b)に示すように結晶化した酸化タンタル膜33は剥がれてしまった。

【0010】図5cでも説明したように、成膜したばかりの酸化タンタル膜には炭素や水素等の不純物が多量に含まれているため、酸化タンタル膜を熱処理によって結晶化させた際に、膜中の不純物が脱離し、酸化タンタル膜5の密度は減少する。また、密度が減少したところで結晶化すると、結晶化した酸化タンタル膜は多結晶であることから、結晶同士の結合は弱くなる。この状態で温度が下がると、酸化タンタル膜とシリコンの熱膨張係数の違いにより、酸化タンタル膜に大きな応力加わり、酸化タンタル膜は剥がれてしまう。なお、酸化タンタル膜が10nmといった薄い場合には剥がれが生じることはないが、結晶化の際に大きな応力加わる。この応力は結晶粒同士の結合を弱くするため、リーク電流が増加するという新たな問題を引き起こす。

【0011】図8は、酸化タンタル膜の昇温脱離分光法(TDS:Thermal Desorption massSpectroscopy)による測定結果を示すグラフである。同図(a)は脱離したCH₄を示し、同図(b)は脱離したH₂Oを示す。これらの図から明らかなように、800℃、10分間の乾燥酸素中の熱処理後と比較して、成膜直後においてはCH₄およびH₂Oの脱ガス量が非常に多くなっている。これは、成膜直後に不純物が非常に多く、乾燥酸素中の熱処理を行うことで、これらの不純物が除去されることによるものである。

【0012】

【発明が解決しようとする課題】このように、酸化タンタル膜は結晶化する際に膜中から不純物(CH₄、H₂O等)が脱離するため、非常に大きな膜収縮が発生する。その結果、上述のような剥がれやリーク電流の原因となる。本発明は、このような課題を解決するためのものであり、従来よりも剥がれ難くかつリーク電流の生じにくい酸化タンタル膜を備えた半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】このような目的を達成するために、本発明に係る半導体装置の製造方法は、半導体基板上に複数の下部電極を形成する第1の工程と、こ

れら下部電極のそれぞれに個別にアモルファス状態の酸化タンタル膜を形成する第2の工程と、この酸化タンタル膜を熱処理によって結晶化させる第3の工程と、この結晶化された酸化タンタル膜上に上部電極を形成する第4の工程とを有する。そして、上記下部電極、上記酸化タンタル膜および上記上部電極からなる微小容量素子を複数形成することを特徴とするものである。また、上記熱処理を、処理温度が700～850℃の、酸素を含む雰囲気中で行ってもよい。また、上記アモルファス状態の酸化タンタル膜を、ペンタエトキシタンタル(Ta(OC₂H₅)₅)および酸素(O₂)を用いた減圧CVD法により形成してもよい。また、上記第2の工程を、上記複数の下部電極の全てを覆うようにして、アモルファス状態の酸化タンタル膜を形成してから、フォトリソグラフィ技術およびエッチング技術を用いることにより、上記下部電極のそれぞれに個別にアモルファス状態の酸化タンタル膜を形成する工程にしてもよい。また、上記微小容量素子を、DRAMに使用してもよい。また、上記下部電極を、スタック型の電極としてもよい。その場合、下部電極をリンのドーパされたポリシリコンで作製するとよい。

【0014】このように構成することにより本発明は、酸化タンタル膜の成膜時に発生する応力を緩和させることができ、剥がれおよびリーク電流の発生を抑制することができる。

【0015】

【発明の実施の形態】次に、本発明の一つの実施の形態について図を用いて説明する。図1、2は、本発明の一つの実施の形態(製造工程)を示す断面図である。これらの図において、(a)～(g)は製造工程を順次示したものである。まず図1(a)に示すように、Si基板1上に、コンタクトホールを有する酸化シリコン膜2を形成してから、その上にリンをドーパしたポリシリコン膜を形成する。そして、このポリシリコン膜をエッチングすることにより、スタック型の下部電極3を形成する。

【0016】次いで図1(b)に示すように、基板全体を、RTN(ラピッド・サーマル・ナイトライゼーション)法により、1000℃で60秒間の処理を施して下部電極3の表面を窒化させる。この処理を行うことで、下部電極3の表面には窒化シリコン膜4が形成される。このときに形成される窒化シリコン膜4の膜厚は、約2nmである。この窒化シリコン膜4は、酸化タンタル膜5を乾燥酸素を用いてアニールする際に、下部電極3の表面が酸化して容量が減少してしまうことを防止するために用いている。

【0017】次いで図1(c)に示すように、LPCVD(Low Pressure - Chemical Vapor Deposition)法により、基板の表面に酸化タンタル膜5を形成する。この酸化タンタル膜5の膜厚は10nmである。このとき

の成膜条件は、成膜温度が450℃、圧力が1 Torrである。また、ソースガスの流量は、タンタルソースであるペンタエトキシタンタル ($\text{Ta}(\text{OC}_2\text{H}_5)_5$) が0.2 ml/分、酸素 (O_2) が2 SLMである。このときに形成される酸化タンタル膜5は、その結晶構造がアモルファス状態にあり、またその膜中には炭素や水の不純物が含まれている。なお、ここでは減圧CVD法を用いたが、他の方法および他の条件で成膜したタンタル酸化膜を用いても本発明に影響はない。

【0018】次いで図1(d)に示すように、基板全面をフォトレジストで覆ってから公知のフォトリソグラフィ法により、下部電極3上にフォトレジストパターン6を形成する。このフォトレジストパターン6のサイズは、後工程で作製する容量部のパターンよりもやや大きいものにするとよい。次いで図2(e)に示すように、パターンニングされた酸化タンタル膜7を形成した後、基板を電気炉に入れ、800℃で10分間の乾燥酸素中で熱処理を行う。その結果、アモルファス状態であった酸化タンタル膜7は、多結晶となり、結晶化した酸化タンタル膜8が形成される。なお、処理温度は700℃以上850℃以下であればよく、特に700～800℃が好ましい。次いで図2(f)に示すように、結晶化した酸化タンタル膜8を覆うように、CVD法により窒化チタン膜9(膜厚は20 nm)を形成する。

【0019】次いで図2(g)に示すように、窒化チタン膜9の上に、CVD法によりリンをドーピングしたポリシリコン膜10(膜厚は200 nm)を形成する。最後に図2(h)に示すように、フォトリソグラフィ法およびドライエッチング法を用いて所望の容量パターンを形成することで、下部電極3、容量絶縁膜11および上部電極12からなる容量部構造が完成する。

【0020】以上の工程で作られた酸化タンタル膜について説明する。図3は、Si基板に形成された酸化タンタル膜に熱処理を加えた様子を示す断面図である。同図(a)に示すように、Si基板21上に、100 nmの酸化タンタル膜22を図1、2で示したのと同じ条件で形成した。その後、フォトリソグラフィ法およびエッチング法を用い、約 $1 \times 10^{-3} \text{ cm}^2$ の大きさのパターンを形成してから、電気炉内で800℃、10分間の乾燥酸素中で熱処理を行った。その後、熱処理後のウェハの断面をSEM(Scanning Electron Microscope)観察したところ、同図(b)に示すように結晶化した酸化タ

ンタル膜32が剥がれることはなかった。

【0021】図4は、図3に示した本発明の酸化タンタル膜と、従来例のものと、を比較したときのリーク電流特性を示すグラフである。同図に示すように、本発明では、従来例のものと比較して、約1桁の改善が見られた。なお、図1、2においては、1個の下部電極3のみを覆うようにして酸化タンタル膜7を形成したが、熱処理による剥がれやリーク電流が生じなければ、複数の下部電極を覆うようにして酸化タンタル膜のパターンニングを行ってもよい。

【0022】

【発明の効果】以上説明したとおり本発明は、半導体基板上に複数の下部電極を形成する第1の工程と、これら下部電極のそれぞれに個別にアモルファス状態の酸化タンタル膜を形成する第2の工程と、この酸化タンタル膜を熱処理によって結晶化させる第3の工程と、この結晶化された酸化タンタル膜上に上部電極を形成する第4の工程とを有する。そのため、酸化タンタル膜とその下地(下部電極等)との接触面積が従来よりも小さくなり、熱処理による結晶化の際に膜収縮が生じても応力が緩和される。したがって、結晶粒界に加わる力が小さくなり、剥がれを防止することができるとともに、リーク電流を低減させることができる。

【図面の簡単な説明】

【図1】 本発明の一つの実施の形態(製造工程)を示す断面図である。

【図2】 図1の製造工程の続きを示す断面図である。

【図3】 本発明の実験例を示す断面図である。

【図4】 図3に係る実験例と従来例とを比較した結果を示すグラフである。

【図5】 従来例(製造工程)を示す断面図である。

【図6】 図5の製造工程の続きを示す断面図である。

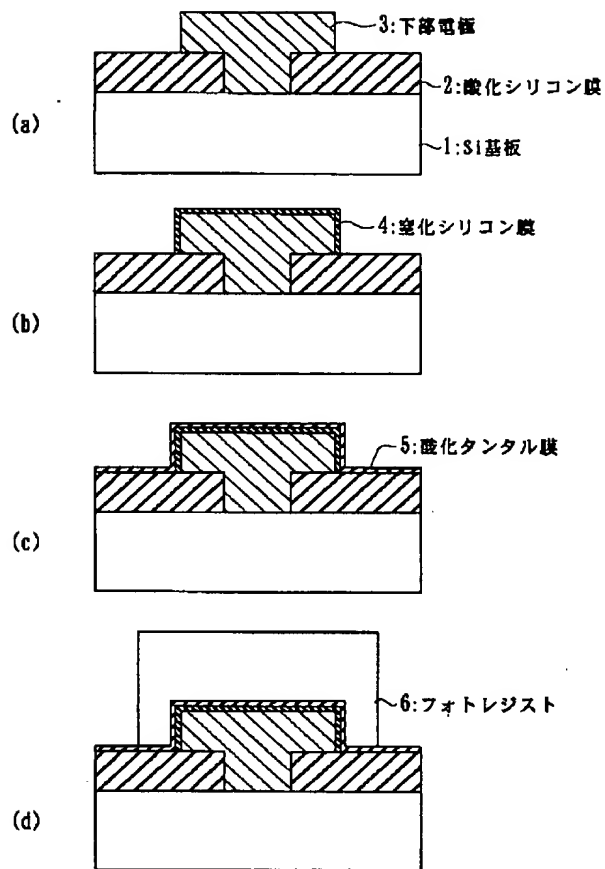
【図7】 従来例に基づく実験例を示す断面図である。

【図8】 図7に係る実験例、(a) CH_4 の脱ガス量と(b) H_2O の脱ガス量を示すグラフである。

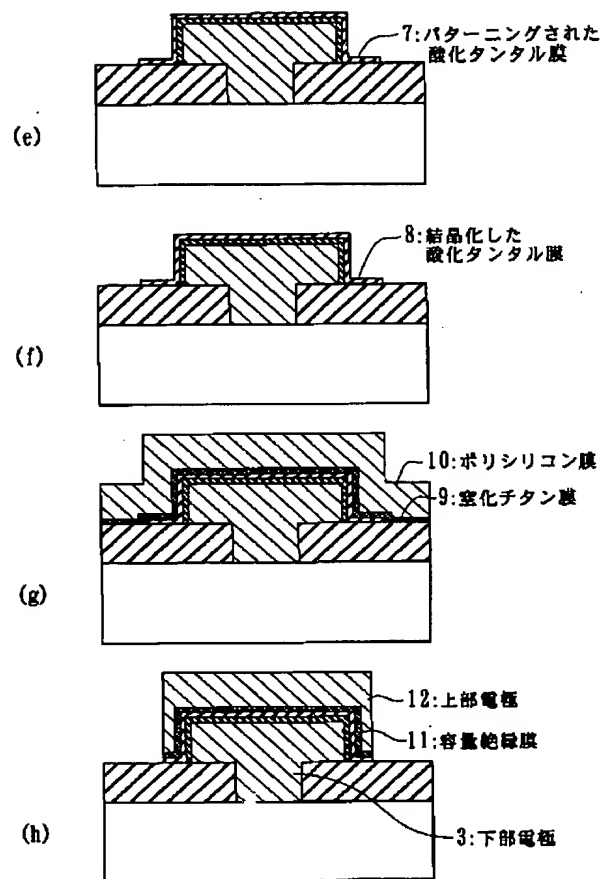
【符号の説明】

1…Si基板、2…酸化シリコン膜、3…下部電極、4…窒化シリコン膜、5…酸化タンタル膜、6…フォトレジスト、7…パターンニングされた酸化タンタル膜、8…結晶化した酸化タンタル膜、9…窒化チタン膜、10…ポリシリコン膜、11…容量絶縁膜、12…上部電極。

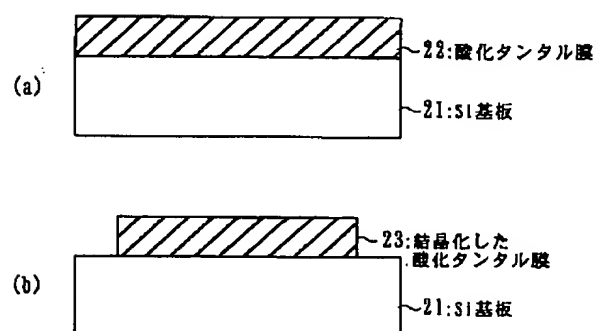
【図 1】



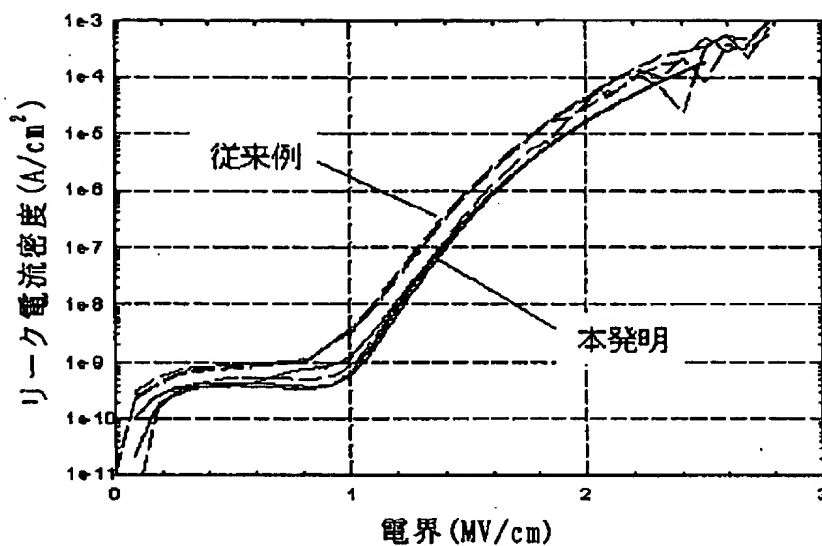
【図 2】



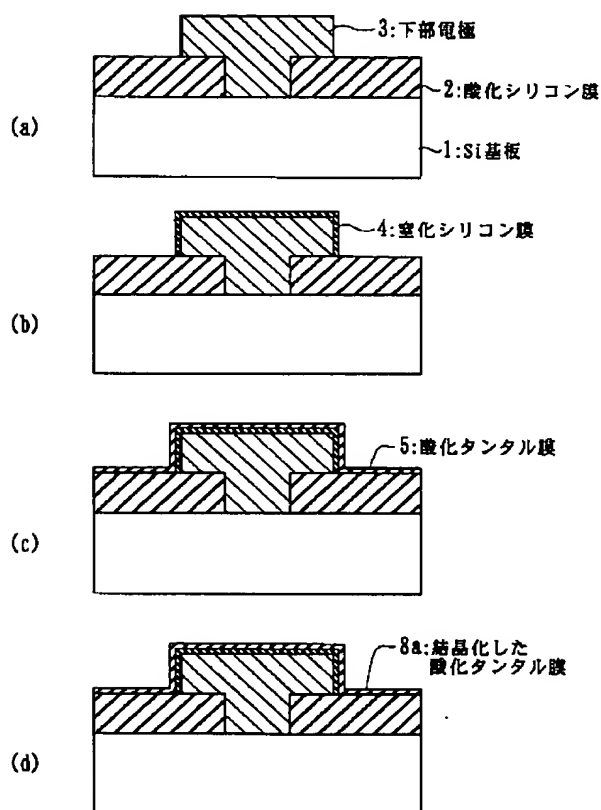
【図 3】



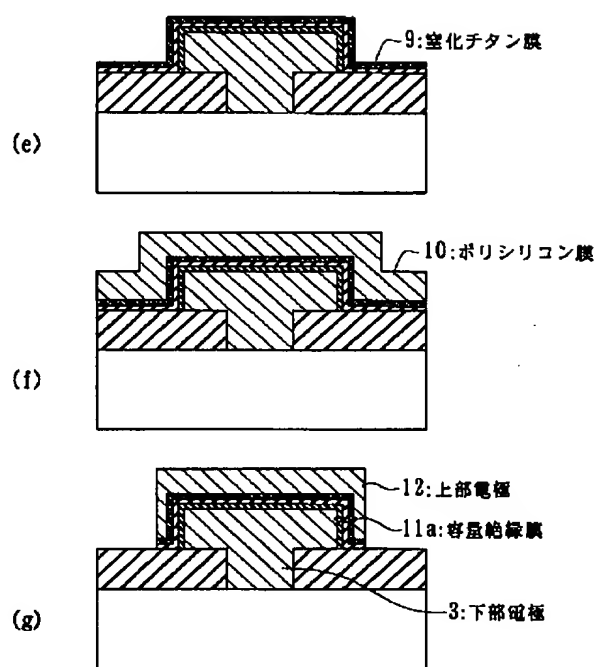
【図 4】



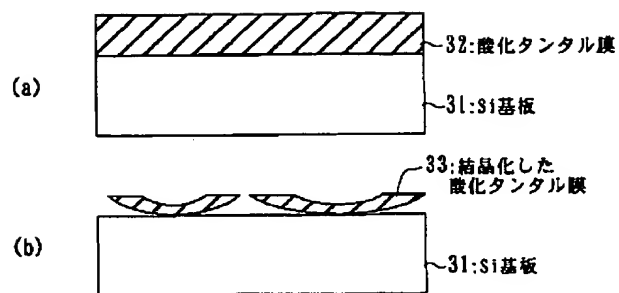
【図 5】



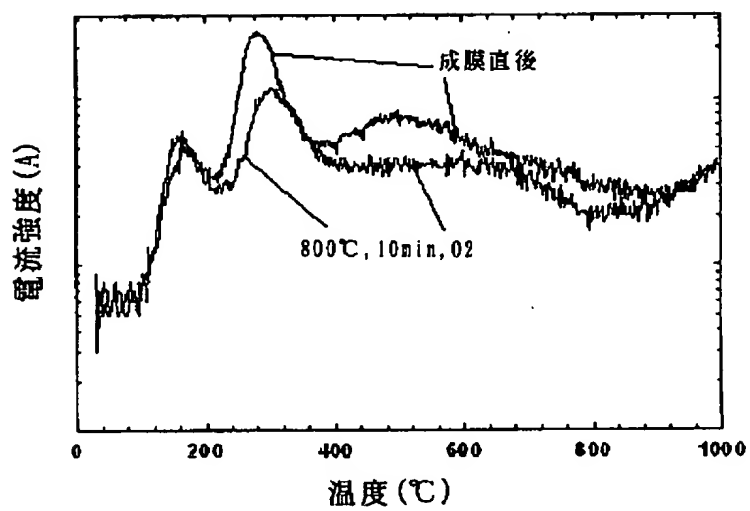
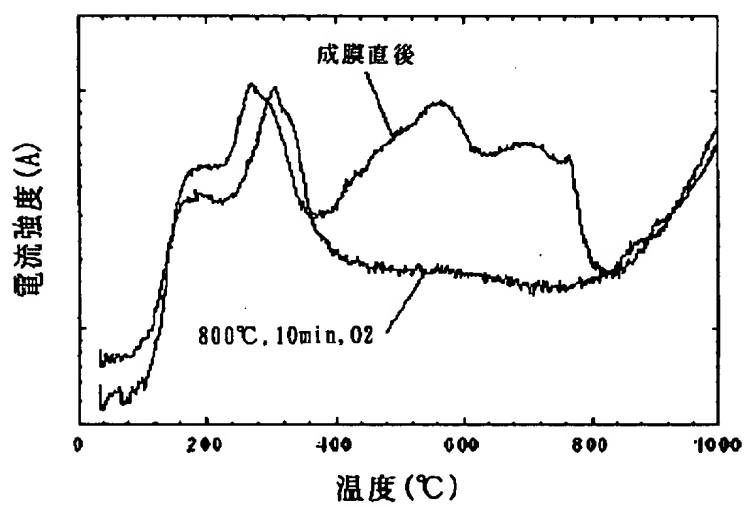
【図 6】



【図 7】



【図 8】

(a) CH₄(b) H₂O